

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-248430

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343			G 0 2 F 1/1343	
B 2 6 D 1/02			B 2 6 D 1/02	Z
G 0 1 R 31/00			G 0 1 R 31/00	
G 0 2 F 1/13	1 0 1		G 0 2 F 1/13	1 0 1
1/1333	5 0 0		1/1333	5 0 0
審査請求 未請求 請求項の数11 O L (全 11 頁)				

(21) 出願番号 特願平7-55295

(22) 出願日 平成7年(1995)3月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前田 武

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 米田 公太郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

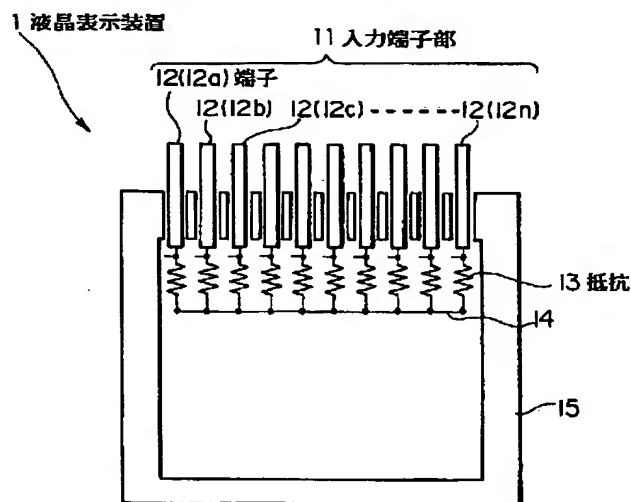
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置、液晶表示装置の基板およびその基板の分割方法

(57) 【要約】

【目的】 本発明は、液晶表示装置の基板を分割する前に液晶表示装置の電気的検査を可能とし、液晶表示装置の静電気耐性の向上を図る。

【構成】 液晶表示装置1は、入力端子部11の各端子12間を0.5MΩ～5MΩの範囲内の抵抗値を有する抵抗13で接続したものである。



本発明の液晶表示装置に係る実施例の要部構成図

(2)

【特許請求の範囲】

【請求項1】 入力端子部に複数の端子が備えられた液晶表示装置において、
前記入力端子部の各端子間を接続するもので0.5MΩ～5MΩの範囲内の抵抗値を有する抵抗を設けたことを特徴とする液晶表示装置。

【請求項2】 1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板において、
基板に形成される各液晶表示装置の入力端子部の各端子間を接続するもので0.5MΩ～5MΩの範囲内の抵抗値を有する抵抗を設けたことを特徴とする液晶表示装置の基板。

【請求項3】 1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板において、
基板に形成される一液晶表示装置の周辺電極部と該一液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを設けたことを特徴とする液晶表示装置の基板。

【請求項4】 1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板において、
基板に形成する一液晶表示装置の入力端子部の各端子と該一液晶表示装置とは別の液晶表示装置の周辺電極部とが接続されていることを特徴とする液晶表示装置の基板。

【請求項5】 請求項2記載の液晶表示装置の基板において、
前記一液晶表示装置の周辺電極部と該一液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを設けたことを特徴とする液晶表示装置の基板。

【請求項6】 請求項2記載の液晶表示装置の基板において、
前記一液晶表示装置の入力端子部の各端子と該一液晶表示装置とは別の液晶表示装置の周辺電極部とが接続されていることを特徴とする液晶表示装置の基板。

【請求項7】 請求項3記載の液晶表示装置の基板において、
前記一液晶表示装置の入力端子部の各端子と該一液晶表示装置とは別の液晶表示装置の周辺電極部とが接続されていることを特徴とする液晶表示装置の基板。

【請求項8】 請求項5記載の液晶表示装置の基板において、
前記一液晶表示装置の入力端子部の各端子と該一液晶表示装置とは別の液晶表示装置の周辺電極部とが接続されていることを特徴とする液晶表示装置の基板。

【請求項9】 1枚の基板に複数の液晶表示装置が形成される基板の分割方法において、
ラビング処理後、一液晶表示装置の周辺電極部と該一液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを切断し、その後各液晶表示装置の電氣的検査を行ってから該基板を分割することを特徴と

2

する液晶表示装置の基板の分割方法。

【請求項10】 1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板の分割方法であって、
ラビング処理後、各液晶表示装置の入力端子部の各端子と該入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する部分またはその近傍の各端子を切断し、その後各液晶表示装置の電氣的検査を行ってから基板を分割することを特徴とする液晶表示装置の基板の分割方法。

【請求項11】 請求項9記載の液晶表示装置の基板の分割方法において、
ラビング処理後、一液晶表示装置の周辺電極部と該一液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを切断するとともに各液晶表示装置の入力端子部の各端子と該入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する部分またはその近傍の各端子を切断し、その後各液晶表示装置の電氣的検査を行ってから基板を分割することを特徴とする液晶表示装置の基板の分割方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、液晶表示装置の基板およびその基板の分割方法に関するものである。

【0002】

【従来の技術】液晶表示装置の組立工程における静電気対策としては、何らかの方法で端子同士を短絡していた。その方法としては、

①端子同士を直接短絡する、

②端子間をトランジスタまたは非線型抵抗素子で接続する、

③端子間を導電性テープで接続する、

④端子間を非晶質シリコンからなるパターンで接続し、その部分に紫外線を照射して帯電を防止する、

⑤端子間を容量を介して接続する、

等であった。例えば上記①の非晶質シリコンのパターンでは、ゲート電極と信号線とを短絡していた。このように端子と端子とを直接短絡しているため、液晶表示装置が形成される基板を分割してから電氣的検査を行っていた。

【0003】

【発明が解決しようとする課題】上記のように導電性パターンで端子同士を短絡したものでは、基板を分割してからでないと電氣的検査が行えなかった。また導電性テープで端子同士を短絡したものでは、導電性テープを貼る工程が増え、しかも導電性テープを剥がす際の静電気によって素子が破壊されるという課題があった。

【0004】本発明は、静電気耐性に優れた液晶表示装置、液晶表示装置の基板およびその基板の分割方法を提供することを目的とする。

(3)

3

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた液晶表示装置、液晶表示装置の基板およびその基板の分割方法である。

【0006】液晶表示装置は、入力端子部の各端子間を接続する抵抗を備えたもので、その抵抗は $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内の抵抗値を有するものである。

【0007】液晶表示装置の基板は、1枚の基板に複数の液晶表示装置が形成されるものであって、各液晶表示装置の入力端子部の各端子間を接続する抵抗を備えたもので、その抵抗は $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内の抵抗値を有するものである。

【0008】液晶表示装置の基板は、1枚の基板に複数の液晶表示装置が形成されるものであって、液晶表示装置の周辺電極部とこの液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを設けたものである。

【0009】液晶表示装置の基板は、1枚の基板に複数の液晶表示装置が形成されるものであって、各液晶表示装置の入力端子部の各端子と、この入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続したものである。

【0010】基板の分割方法は、ラビング処理後、基板に形成された液晶表示装置の周辺電極部とこの液晶表示装置とは別の液晶表示装置の周辺電極部とを接続した導電性パターンを切断し、その後各液晶表示装置の電気的検査を行ってから基板を分割する。

【0011】基板の分割方法は、ラビング処理後、基板に形成された各液晶表示装置の入力端子部の各端子とこの入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する部分またはその近傍の各端子を切断し、その後各液晶表示装置の電気的検査を行ってから基板を分割する。

【0012】

【作用】上記液晶表示装置では、入力端子部の各端子間を $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内の抵抗値を有する抵抗で接続したことから、各端子に発生する静電気から液晶表示装置の素子は保護される。また上記抵抗の抵抗値が $0.5\text{M}\Omega\sim 5\text{M}\Omega$ と高いため、各端子間に電位差を与えてもほとんどオープン状態になる。したがって、液晶表示パネルとなった状態でも静電気耐性を保ったまま駆動が可能である。また上記抵抗の抵抗値を $0.5\text{M}\Omega$ より低く設定した場合には、一端に電位差を与えて検査を行う際に検査をする以外の端子の影響を受けることになる。一方、抵抗値を $5\text{M}\Omega$ より高く設定した場合には、端子間を全く接続しない状態とほぼ同等になるため、静電気に対する保護効果はない。したがって、抵抗の抵抗値は上記のように $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内に設定される。

【0013】上記液晶表示装置の基板では、各液晶表示

4

装置の入力端子部の各端子間を $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内の抵抗値を有する抵抗で接続したことから、各端子に発生する静電気から素子が保護される。また各端子に電位差を与えてもほとんどオープン状態になる。したがって、基板に形成した状態で液晶表示装置の電気的検査が可能になる。また上記抵抗の抵抗値は、先に説明した液晶表示装置の場合と同様の理由によって、 $0.5\text{M}\Omega\sim 5\text{M}\Omega$ の範囲内に設定される。

【0014】上記液晶表示装置の基板では、1枚の基板に複数の液晶表示装置が形成され、一液晶表示装置の周辺電極部とこの液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する導電性パターンを設けたことから、一液晶表示装置の周辺電極部が他の液晶表示装置の周辺電極部と共用されることになる。そのため、一液晶表示装置の周辺電極部の容量が実質的に大きくなるのでその静電気耐性は高くなる。

【0015】上記液晶表示装置の基板では、1枚の基板に複数の液晶表示装置が形成され、各液晶表示装置の入力端子部の各端子と、この入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続したことから、各液晶表示装置をパネルに切断する前まで各液晶表示装置の各端子は同電位に保たれる。そのため、静電気耐性が高くなる。

【0016】上記基板の分割方法では、ラビング処理後に、基板に形成された液晶表示装置の周辺電極部とこの液晶表示装置とは別の液晶表示装置の周辺電極部とを接続した導電性パターンを切断することから、ラビング処理時には周辺電極部が他の周辺電極部に接続されているため、周辺電極部の容量が大きくなる。そのため、ラビング処理時における静電気耐性が高くなる。次いで導電性パターンを切断した後各液晶表示装置の電気的検査を行うことから、周辺電極部と他の周辺電極部とを接続した影響を受けることなく電気的検査が行える。

【0017】また上記基板の分割方法では、ラビング処理後に、基板に形成された各液晶表示装置の入力端子部の各端子とこの入力端子部を有する液晶表示装置とは別の液晶表示装置の周辺電極部とを接続する部分またはその近傍の各端子を切断することから、ラビング処理時には各端子が同電位に保たれる。そのため、ラビング処理時における静電気耐性が高くなる。次いで上記接続する部分またはその近傍の各端子を切断してから各液晶表示装置の電気的検査を行うことから、各端子と周辺電極部とを接続した影響を受けることなく電気的検査が行える。

【0018】

【実施例】本発明の液晶表示装置に係わる実施例を、図1の要部構成図によって説明する。

【0019】図1に示すように、液晶表示装置1には、その入力端子部11が複数（例えばn個）の端子12によって構成されている。上記各端子12間には $0.5\text{M}\Omega$

(4)

5

$0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内の抵抗値を有する抵抗13が接続されている。この抵抗13は、例えば多結晶シリコンからなる。また各端子12には上記抵抗13を介して配線電極14が接続されている。なお図面では上記液晶表示装置1の側周部に設けられている周辺電極部15も示した。

【0020】上記液晶表示装置1では、入力端子部11の各端子12間を $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内の抵抗値を有する抵抗13で接続したことから、各端子12に発生する静電気から薄膜トランジスタ（以下、TFTという、TFTはThin Film Transistorの略である）等の素子（図示省略）を保護する。また上記抵抗13の抵抗値が $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ と高いため、各端子12に電位差を与えてもほとんどオープン状態になる。したがって、液晶表示パネルとなった状態でも静電気耐性を保ったままで駆動が可能である。

【0021】また上記抵抗13の抵抗値を $0.5\text{ M}\Omega$ より低く設定した場合には、一端子12（例えば12a）に電位差を与えて検査を行う際にその一端子12a以外の端子12（例えば12b, 12c, ..., 12n）の影響を受けることになる。一方、抵抗値を $5\text{ M}\Omega$ より高く設定した場合には、端子12間を全く接続しない状態とほぼ同等になるため、静電気に対する保護効果はない。したがって、抵抗13の抵抗値は上記のように $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内に設定される。

【0022】次に1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板を、図2の要部構成図によって説明する。図では、液晶表示装置1（1A, 1B, 1C, 1D）が形成されている液晶表示装置の基板（以下、基板という）2を示す。また上記図1に示したのと同様に構成部品には同一の符号を付す。

【0023】図2に示すように、基板2に形成されている各液晶表示装置1（1A, 1B, 1C, 1D）の各入力端子部11の各端子12間には、 $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内の抵抗値を有する抵抗13が設けられている。図では代表して液晶表示装置1Aで示した。したがって、液晶表示装置1B～1Dに関しても液晶表示装置1Aと同様の構成になっている。また上記各液晶表示装置1の側周部の上記基板2上には周辺電極部15が形成されている。なお、上記図2では、一例として4個の液晶表示装置1を形成した基板2を示したが、液晶表示装置1の個数は4個に限定されることはない。

【0024】上記図2によって説明した基板2では、一液晶表示装置1の各端子12間を $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内の抵抗値を有する抵抗13で接続したことから、各端子12に発生する静電気から素子が保護される。また各端子12に電位差を与えてもほとんどオープン状態になる。したがって、基板2に形成した状態で液晶表示装置1の電氣的検査が可能になる。また上記抵抗13の抵抗値は、図1によって説明した液晶表示装置1の場

6

合同様の理由によって、 $0.5\text{ M}\Omega \sim 5\text{ M}\Omega$ の範囲内に設定される。

【0025】次に1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板を、図3の要部構成図によって説明する。図では、液晶表示装置1（1A, 1B, 1C, 1D）が形成されている液晶表示装置の基板（以下、基板という）2を示す。また上記図2に示したのと同様に構成部品には同一の符号を付す。

【0026】図3に示すように、基板2に形成されている各液晶表示装置1（1A）の周辺電極部15（15A）とこの液晶表示装置1Aとは別の液晶表示装置1（1B）の周辺電極部15（15B）とは導電性パターン16（16A）で接続されている。

【0027】同様に、各周辺電極部15は、その周辺に配置されている周辺電極部15と導電性パターン16によって接続されている。すなわち、周辺電極部15（15C）と周辺電極部15（15D）とは導電性パターン16（16B）で接続され、導電性パターン16Aと導電性パターン16Bとは導電性パターン16Cで接続されている。したがって、各周辺電極部15は導電性パターン16（16A, 16B, 16C）によって互いに接続される。同様に、各液晶表示装置1の周辺電極部15の近傍に形成されている別の液晶表示装置の周辺電極部（図示省略）とも導電性パターン16によって接続されている。なお、上記図3では、4個の液晶表示装置1を形成した基板2を示したが、液晶表示装置1の個数は4個に限定されることはない。

【0028】上記図3によって説明した基板2では、1枚の基板2に複数の液晶表示装置1A～1Dが形成され、一液晶表示装置1Aの周辺電極部15Aとこの液晶表示装置1Aとは別の液晶表示装置1B～1Dの周辺電極部15B～15Dとを接続する導電性パターン16A～16Cを設けたことから、例えば一液晶表示装置1Aの周辺電極部15Aが他の液晶表示装置1B～1Dの周辺電極部15B～15Dと共用されることになる。そのため、一液晶表示装置1Aの周辺電極部15Aの容量が実質的に大きくなるので静電気耐性が高くなる。特に液晶表示装置の製造プロセスにおけるラビング処理時の静電気耐性が高くなる。

【0029】次に1枚の基板に複数の液晶表示装置が形成される液晶表示装置の基板を、図4の要部構成図によって説明する。図では、液晶表示装置1（1A, 1B, 1C, 1D）が形成されている液晶表示装置の基板（以下、基板という）2を示す。また上記図2に示したのと同様に構成部品には同一の符号を付す。

【0030】図4に示すように、基板2には、液晶表示装置1A～1Dが形成されている。そして液晶表示装置1Cの入力端子部11（11C）の各端子12（12C）と、この液晶表示装置1Cとは別の液晶表示装置1Aの周辺電極部15（15A）とが接続されている。ま

(5)

7

た、液晶表示装置1Dの入力端子部11(11D)の各端子12(12D)と、この液晶表示装置1Dとは別の液晶表示装置1Bの周辺電極部15(15B)とが接続されている。このように、各液晶表示装置1の入力端子部11の各端子12と、これとは別の液晶表示装置1の周辺電極部15とが接続されているものである。なお、上記図4では、4個の液晶表示装置1を形成した基板2を示したが、液晶表示装置1の個数は4個に限定されることはない。

【0031】上記図4によって説明した基板2では、1枚の基板2に複数の液晶表示装置1が形成され、一液晶表示装置1(例えば液晶表示装置1C)の各端子12と、これとは別の液晶表示装置1(例えば液晶表示装置1A)の周辺電極部15とを接続したことから、各液晶表示装置1をパネルに切断する前まで各液晶表示装置1の各端子12は同電位に保たれる。そのため、静電気耐性が高くなる。

【0032】また、上記図2および図3によって説明した構造を組み合わせて構成することも可能である。すなわち、図5に示すように、基板2に形成されている各液晶表示装置1の各入力端子部11の各端子12間に0.5MΩ~5MΩの範囲内の抵抗値を有する抵抗13を設ける。また上記各液晶表示装置1の側周部に設けられている周辺電極部15同士を導電性パターン16で接続する。

【0033】さらに、上記図2および図4によって説明した構造を組み合わせて構成することも可能である。すなわち、図6に示すように、基板2に形成されている各液晶表示装置1の各入力端子部11の各端子12間に0.5MΩ~5MΩの範囲内の抵抗値を有する抵抗13を設ける。また液晶表示装置1の各端子12とこれとは別の液晶表示装置1の周辺電極部15とを接続する。

【0034】さらにまた、上記図3および図4によって説明した構造を組み合わせて構成することも可能である。すなわち、図7に示すように、基板2に形成されている各液晶表示装置1の側周部に設けられている周辺電極部15同士を導電性パターン16で接続する。さらに各液晶表示装置1の入力端子部11の各端子12と、この液晶表示装置1とは別の液晶表示装置1の周辺電極部15とを接続する。

【0035】またさらに、上記図2、図3および図4によって説明した構造を組み合わせて構成することも可能である。すなわち、図8に示すように、基板2に形成されている各液晶表示装置1の各入力端子部11の各端子12間に0.5MΩ~5MΩの範囲内の抵抗値を有する抵抗13を設ける。また上記各液晶表示装置1の側周部に設けられている周辺電極部15同士を導電性パターン16で接続する。さらに各液晶表示装置1の入力端子部11の各端子12と、この液晶表示装置1とは別の液晶表示装置1の周辺電極部15とを接続する。

8

【0036】次に上記説明した端子12および抵抗13の形成方法を、図9のTFT基板のフローチャートおよび図10のTFT基板の製造工程図によって説明する。以下の説明では、図9および図10を合わせて参照していただきたい。なお、ここでは一例として、TFTの製造プロセスを利用して形成する場合を説明する。

【0037】まず「チャネル層形成」を行う。すなわち図10の(1)に示すように、成膜技術のうち、例えば化学的気相成長〔以下、CVDという。CVDはChemical Vapour Depositionの略である〕法によって、基板(ここでは例えば石英基板を用いる)2上にチャネル層を形成するための多結晶シリコン層31を堆積する。その後、ドーピング技術として例えばイオン注入法によって、上記多結晶シリコン層31に導電性を与える不純物を注入する。さらに、アニーリング工程を行って、上記多結晶シリコン層31に注入した不純物を活性化する。

【0038】その後図10の(2)に示すように、リソグラフィ技術(以下、リソグラフィ技術はレジスト塗布、露光、現像、ベーク等によりレジストマスクを形成する工程をいう)およびエッチング技術によって、上記多結晶シリコン層(31)をパターニングして、チャネル領域32を形成する。また、上記多結晶シリコン層(31)で各端子と各配線電極とを接続することになる抵抗13を上記パターニングによって同時に形成する。それとともに補助容量を構成する一方の電極(図示省略)も上記パターニングによって同時に形成する。上記抵抗13は、後のイオン注入工程を経て n^+ 層とすることによって、抵抗値を0.5MΩ~5MΩの範囲内(例えば1MΩ程度)に制御する。

【0039】その後、上記リソグラフィ技術によって形成したレジストマスク(図示省略)を、例えばアッシングまたは剥離液によるウェット処理によって除去する。以下の工程においては、リソグラフィ技術で形成したレジストマスクは熱処理工程(例えば拡散工程、アニーリング等)や成膜工程の前に除去されるものとする。

【0040】次に「ゲート絶縁膜形成」を行う。図10の(3)に示すように、例えば熱酸化法またはCVD法によって、ゲート絶縁膜33(2点鎖線で示す部分)を形成する。ゲート絶縁膜33には酸化シリコンおよび窒化シリコンのいずれか一方または両方を用いる。続けて「ゲート電極形成」を行う。例えばCVD法によって多結晶シリコン層を堆積し、リソグラフィ技術とエッチング技術とによってこの多結晶シリコン層をパターニングしてゲート電極34を形成する。このとき、補助容量(図示省略)を構成する他方の電極(図示省略)も同時にパターニングされる。

【0041】続けてリソグラフィ技術とエッチング技術とによって、ゲート絶縁膜33をパターニングする。そしてイオン注入法によって、画素トランジスタとなる

(6)

9

領域に不純物を注入してソース・ドレイン領域（図示省略）を形成する。また、nチャネルトランジスタおよびpチャネルトランジスタとなる領域（図示省略）にも、イオン注入法によってそれぞれに不純物を注入して、ソース・ドレイン領域（図示省略）を形成する。

【0042】その後「層間絶縁膜形成」を行う。この工程では、図10の（4）に示すように、CVD法によって層間絶縁膜35を堆積する。その後アニーリングによって先に注入した不純物を拡散させる。続いて「コンタクトホール形成」を行う。この工程では、リソグラフィ技術とエッチング技術とによって、層間絶縁膜35にコンタクトホールを形成する。これはソース電極、ドレイン、信号線電極、入力端子部の各端子（以下、入力端子電極という）、配線電極等を接続するためのもので、図面ではチャネル領域32に接続する信号線用のコンタクトホール36、抵抗13に接続する入力端子電極用のコンタクトホール37および抵抗13に接続する配線電極用のコンタクトホール38を示した。

【0043】次に「配線電極形成」を行う。例えばスパッタリングによって配線層を堆積する。この配線層としては、例えばアルミニウム、アルミニウム系金属、高融点金属等の通常の配線に用いる材料で形成する。その後、リソグラフィ技術とエッチング技術とによって、上記配線層でソース電極（図示省略）、ドレイン電極（図示省略）、信号線電極39、入力端子電極40（前記端子12に相当）、配線電極14等を形成する。このとき、周辺電極部（図示省略）も形成されるので、同時に各周辺電極部（図示省略）同士が短絡されるように導電性パターン（図示省略）のパターニングも行う。また、上記抵抗13は各入力端子電極40間を接続する状態にも形成される。

【0044】さらに「層間絶縁膜形成」を行う。この工程では、CVD法によって、層間絶縁膜41を堆積する。続いて「コンタクトホール形成」を行う。この工程では、リソグラフィ技術とエッチング技術とによって、層間絶縁膜41および層間絶縁膜35にコンタクトホール42を形成する。これは信号線電極39と画素電極43とを画素トランジスタのチャネル領域32を介して接続するためのものである。最後に「画素電極形成」を行う。この工程では、例えばスパッタリングによって、画素電極形成を行う。すなわち、インジウムスズ酸化物（以下、ITOという。ITOはIndium Tin Oxideの略である）を堆積した後、リソグラフィ技術とエッチング技術とによって、画素電極43を形成する。次いでアニーリングを行ってTFT44を形成した基板（TFT基板）2が完成する。その後、液晶セル製造工程に進む。

【0045】次に液晶セルの製造方法を図11のフローチャートによって説明する。なお、主要構成部品には上記各図で用いた符号を付して説明する。

10

【0046】初めに「基板洗浄」を行い、続いて「配向膜塗布」を行う。この工程では、所望のパターンに配向膜を塗布する。続いて「ラビング処理」を行い、基板2の配向処理を行う。特にこのラビング時に発生する静電気は大きく、本発明の構造によって静電破壊を防止する。

【0047】その後「ウエハ検査」を行う。このウエハ検査では、まず、後述の図12で説明するように、接続部分の切断を行う。そして上記図9、図10によって形成した基板2内の各チップ（例えばTFT等）の電気的特性を検査する。次に洗浄によって基板2上の塵埃を取り除き、シール材の塗布、スペーサの配置等を行ってから「重ね合わせ」を行う。この工程では、上下の基板を上記スペーサを介して重ね合わせる。

【0048】次に「分割」を行う。この工程では、スクライビング、ブレイク等で上記基板を分割する。その後、通常の「液晶の注入・封止」および「熱処理」の各工程を行い、液晶表示装置のパネルを完成させる。

【0049】次に、本発明の基板を分割するまでの方法を図12の分割方法の工程図によって説明する。ここでは、例えば上記図3で説明したような、各液晶表示装置1の周辺電極部15同士が導電性パターン16によって接続されている構成例で説明する。したがって、図3で用いた符号を各構成部品に付して説明する。

【0050】図12の（1）に示すように、ラビング処理後、液晶表示装置1の周辺電極部15同士を接続している導電性パターン16を切断する。切断方法は、基板2をステージ（図示省略）上に例えば吸着させて固定し、ダイシングによって上記導電性パターン16を切断する。次いで上記各液晶表示装置の電気的検査を行う。その後、上記液晶表示装置の基板2をテープ51に貼り付けてフルカットを行い、基板2を分割する。このようにして液晶表示パネルを形成する。

【0051】または図12の（2）に示すように、ラビング処理後、上記導電性パターン16を切断する前に、基板2をテープ52に貼り付ける。その後導電性パターン16をダイシングによって切断する。次いで上記テープ52から基板2を外した後、上記（1）で説明したのと同様に電気的検査以降の工程を行う。

【0052】または図12の（3）に示すように、上記（2）で示したように導電性パターン16を切断した後、テープ52を付けた状態で電気的検査を行い、続いてテープ52を付けた状態でフルカットを行って基板2を分割する。このようにして液晶表示パネルを形成する。

【0053】上記説明では導電性パターン16をダイシングによって切断したが、例えばスクライビングによって切断することも可能である。

【0054】上記基板の分割方法では、ラビング処理後に、基板2に形成された液晶表示装置1の周辺電極部1

(7)

11

5 同士を接続している導電性パターン16を切断することから、ラビング処理時には周辺電極部15同士が接続されている。このため、各周辺電極部15の容量は大きくなるので、ラビング処理時における静電気耐性が高くなる。次いで導電性パターン16を切断した後各液晶表示装置1の電氣的検査を行うことから、周辺電極部15同士を接続した影響を受けることなく電氣的検査が行える。

【0055】また上記図4で説明したような、液晶表示装置の入力端子部の各端子12と別の液晶表示装置の周辺電極部15とが接続されている構成例で基板2の分割方法を説明する。なお、以下の説明では図4で用いた符号を各構成部品に付した。

【0056】この構成では、上記図12に示した周辺電極部15の一方を端子に置き換えればよい。まずラビング処理後、端子12と周辺電極部15とが接続されている部分またはその近傍の端子12をダイシングまたはスクライビングによって切断する。その後各液晶表示装置の電氣的検査を行い、液晶表示装置の基板のフルカットを行って、各液晶表示パネルに分割する。

【0057】またこの基板の分割方法では、ラビング処理後に、端子12と周辺電極部15とが接続されている部分またはその近傍の端子12を切断することから、ラビング処理時には端子12が周辺電極部15によって同電位に保たれる。そのため、ラビング処理時における静電気耐性が高くなる。次いで上記接続する部分またはその近傍の端子12を切断してから各液晶表示装置の電氣的検査を行うことから、端子12と周辺電極部15とを接続した影響を受けることなく電氣的検査が行える。

【0058】次に上記図7で説明したような、各液晶表示装置の周辺電極部15同士が導電性パターン16で接続されているとともに各液晶表示装置の入力端子部の各端子12と別の液晶表示装置の周辺電極部15とが接続されている構成例で説明する。なお、以下の説明では図7で用いた符号を各構成部品に付した。

【0059】この構成例では、上記説明したのと同様にして、ラビング処理後、周辺電極部15同士を接続した導電性パターン16を切断するとともに各端子12と周辺電極部15とが接続されている部分またはその近傍の各端子12を切断する。その後各液晶表示装置の電氣的検査を行い、液晶表示装置の基板のフルカットを行って、各液晶表示パネルに分割する。

【0060】この分割方法では、上記同様に、ラビング処理時には周辺電極部15同士が接続されているため、周辺電極部15の容量が大きくなる。またラビング処理時には各端子12が周辺電極部15によって同電位に保たれる。そのため、ラビング処理時における静電気耐性が高くなる。次いで導電性パターン16を切断するとともに上記接続されている部分またはその近傍の各端子12を切断してから後各液晶表示装置の電氣的検査を行う

12

ことから、周辺電極部15同士を接続した影響を受けることなく、また各端子12と周辺電極部15とを接続した影響を受けることなく電氣的検査が行える。

【0061】

【発明の効果】以上、説明したように本発明の液晶表示装置によれば、入力端子部の各端子間を0.5MΩ～5MΩの範囲内の抵抗値を有する抵抗で接続したので、各端子に発生する静電気から素子を保護できる。また、液晶表示パネルとなった状態でも静電気耐性を確保できる。

【0062】本発明の液晶表示装置の基板によれば、各液晶表示装置の入力端子部の各端子間を0.5MΩ～5MΩの範囲内の抵抗値を有する抵抗で接続したので、各端子に発生する静電気から素子を保護できる。また各端子に電位差を与えてもほとんどオープン状態になるので、基板に形成した状態で液晶表示装置の電氣的検査が可能になる。

【0063】本発明の液晶表示装置の基板によれば、液晶表示装置の周辺電極部同士を接続する導電性パターンを設けたので、周辺電極部の容量が実質的に大きくなる。このため、静電気耐性を高めることができる。

【0064】本発明の液晶表示装置の基板によれば、液晶表示装置の入力端子部の各端子と別の液晶表示装置の周辺電極部とを接続したので、各液晶表示装置の電極接続部を切断する前まで各液晶表示装置の各端子は同電位に保つことができる。そのため、各液晶表示装置の静電気耐性を高めることができる。

【0065】本発明の基板の分割方法によれば、ラビング処理後に、周辺電極部同士を接続している導電性パターンを切断することから、ラビング処理時には周辺電極部が他の周辺電極部に接続されている。このため、周辺電極部の容量が大きくなるので、ラビング処理時における静電気耐性を高めることができる。次いで導電性パターンを切断した後各液晶表示装置の電氣的検査を行うので、周辺電極部と他の周辺電極部とを接続した影響を受けることなく電氣的検査が行える。

【0066】本発明の基板の分割方法によれば、ラビング処理後に、各端子と周辺電極部とを接続する部分またはその近傍の各端子を切断することから、ラビング処理時には各端子を同電位に保つことができる。そのため、ラビング処理時における静電気耐性を高めることができる。次いで上記接続する部分またはその近傍の各端子を切断してから各液晶表示装置の電氣的検査を行うことから、各端子と周辺電極部とを接続した影響を受けることなく電氣的検査が行える。

【図面の簡単な説明】

【図1】本発明の液晶表示装置に係わる実施例の要部構成図である。

【図2】本発明の液晶表示装置の基板に係わる実施例の要部構成図である。

(8)

13

【図3】本発明の液晶表示装置の基板に係わる実施例の要部構成図である。

【図4】本発明の液晶表示装置の基板に係わる実施例の要部構成図である。

【図5】基板に係わる他の実施例の要部構成図である。

【図6】基板に係わる他の実施例の要部構成図である。

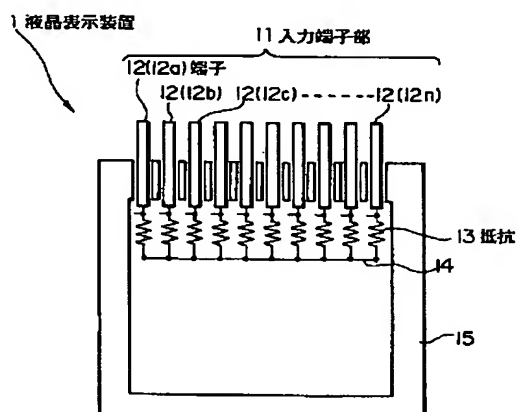
【図7】基板に係わる他の実施例の要部構成図である。

【図8】基板に係わる他の実施例の要部構成図である。

【図9】TFT基板の形成方法のフローチャートである。

【図10】TFT基板の製造工程図である。

【図1】



本発明の液晶表示装置に係わる実施例の要部構成図

14

【図11】液晶セルの製造方法のフローチャートである。

【図12】本発明の基板の分割方法の工程図である。

【符号の説明】

1 液晶表示装置

2 基板

11 入力端子部

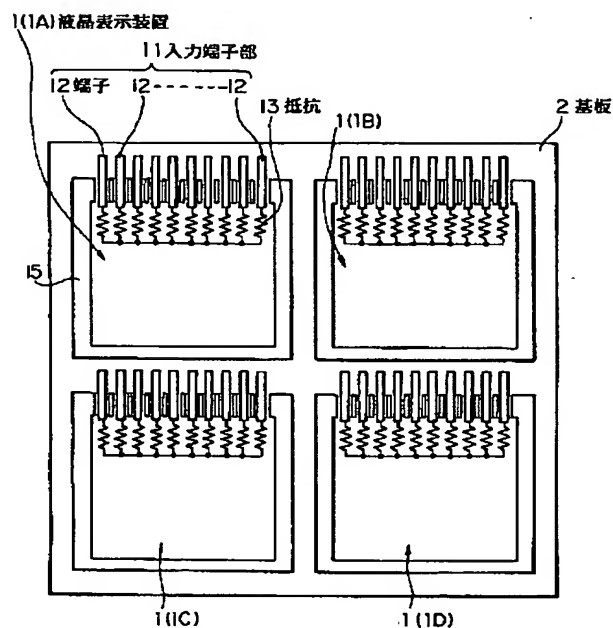
12 端子

13 抵抗

15 周辺電極部

16 導電性パターン

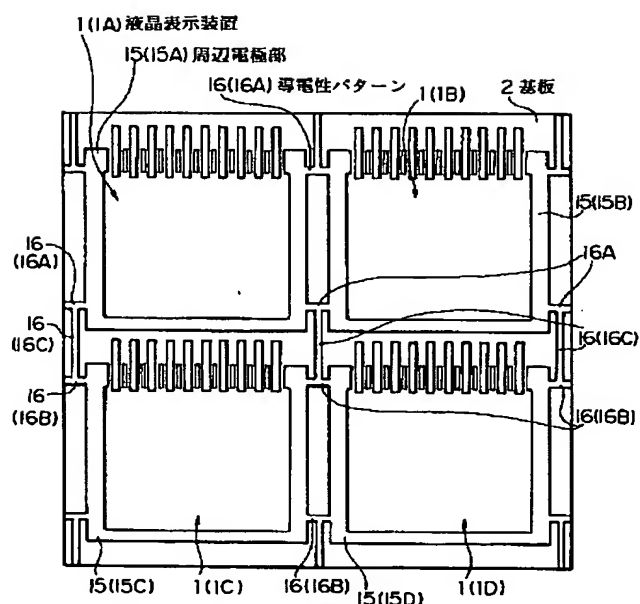
【図2】



本発明の液晶表示装置の基板に係わる実施例の要部構成図

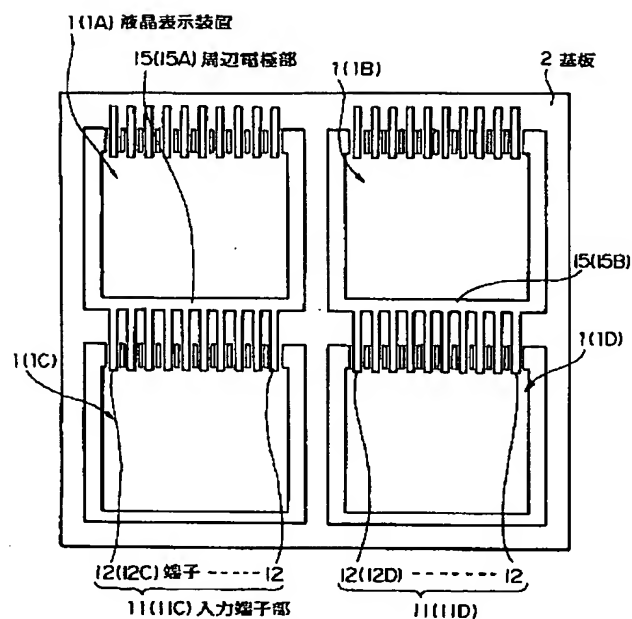
(9)

【図3】



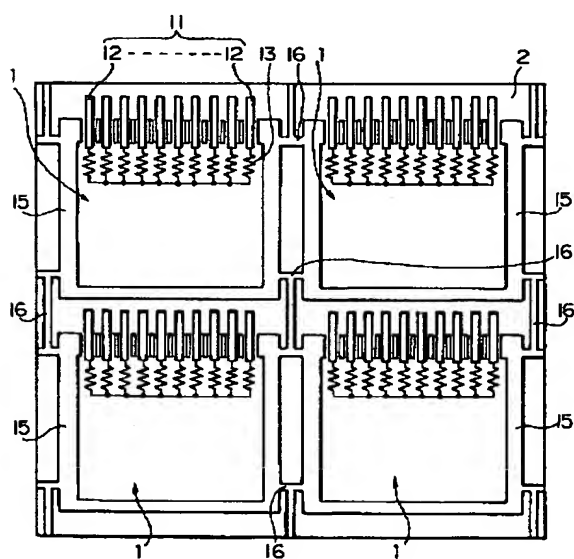
本発明の液晶表示装置の基板に係わる実施例の要部構成図

【図4】



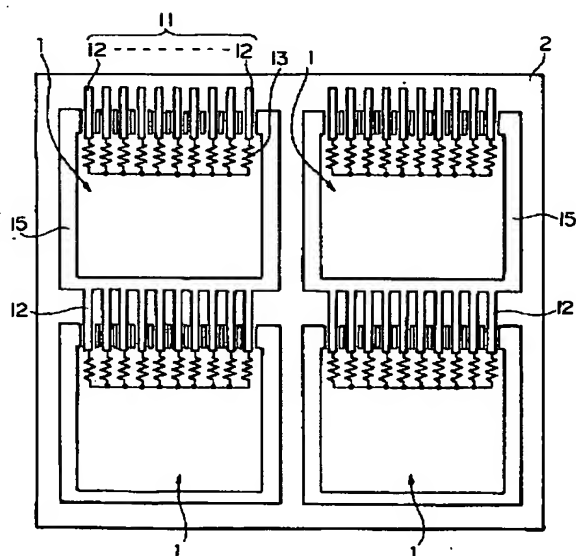
本発明の液晶表示装置の基板に係わる実施例の要部構成図

【図5】



基板に係わる他の実施例の要部構成図

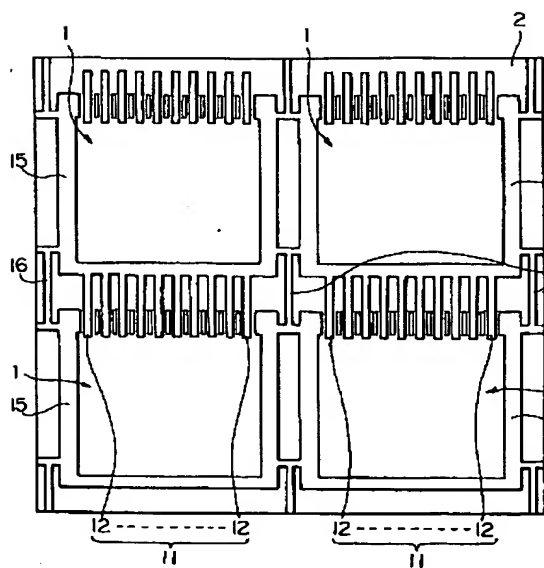
【図6】



基板に係わる他の実施例の要部構成図

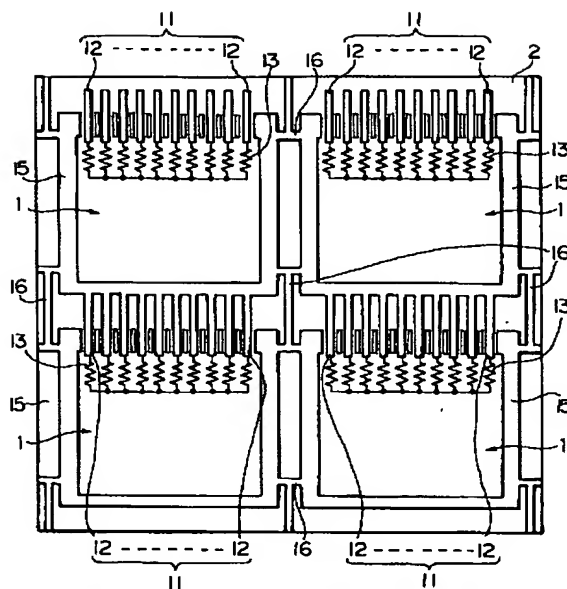
(10)

【図7】



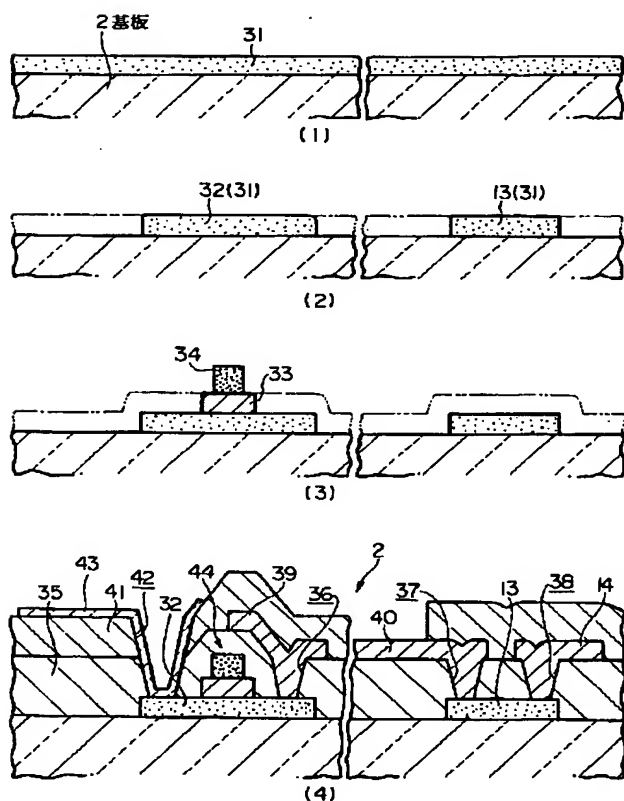
基板に係わる他の実施例の要部構成図

【図8】



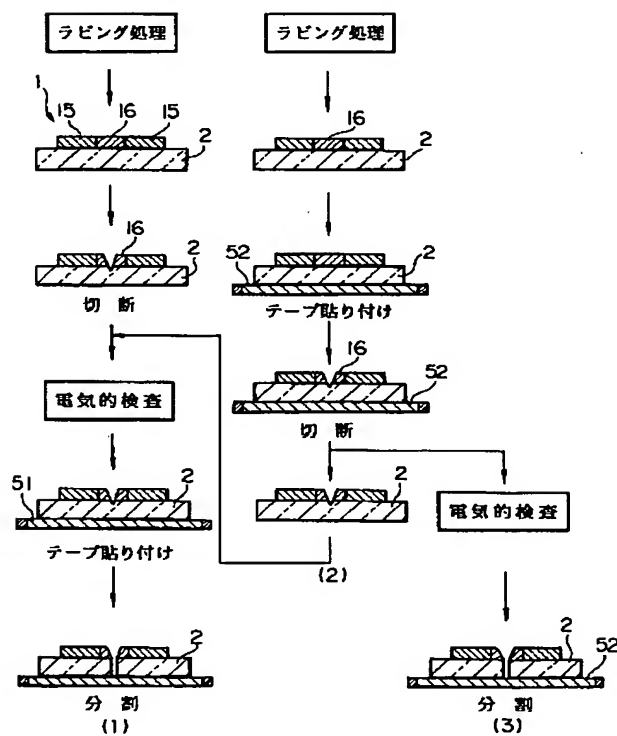
基板に係わる他の実施例の要部構成図

【図10】



TFT基板の製造工程図

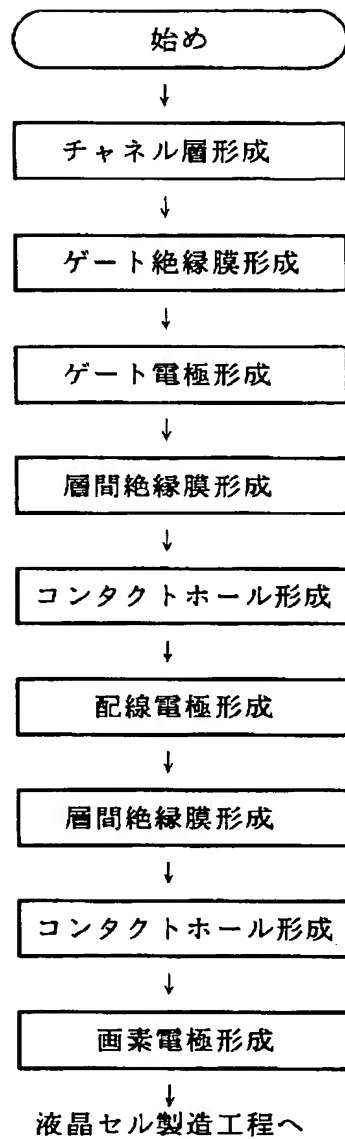
【図12】



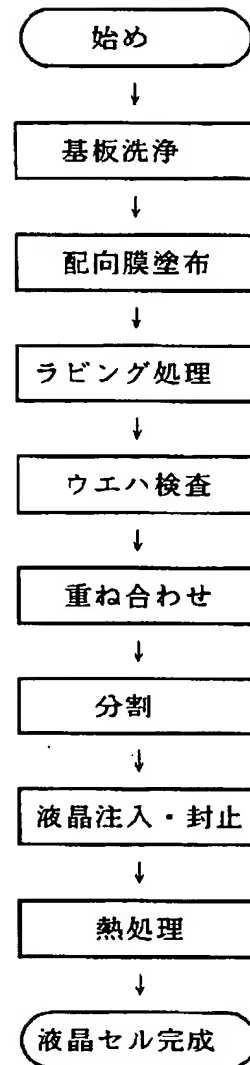
基板の分割方法の工程図

(11)

【図9】



【図11】



液晶セルの製造方法のフローチャート

TFT基板の形成方法のフローチャート

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.